

robotron

Anschlußsteuerung
ASL K 6001, AAL K 6002

EFD

Betriebsdokumentation

1. Auflage
Karl-Marx-Stadt 1984

Inhaltsverzeichnis

| | Seite |
|--|-------|
| I. Technische Daten | 1 |
| II. Funktionsbeschreibung | 1 |
| 1. Allgemeines | 1 |
| 2. Beschreibung der Funktionskomplexe | 2 |
| 2.1. Adreßdecodierung | 2 |
| 2.2. Daten- und Steuerbustreiber | 3 |
| 2.3. RDY-Bildung und Richtungssteuerung der Bustreiber | 3 |
| 2.4. INT-Steuerung | 4 |
| 2.5. Schreibsteuerung | 4 |
| 2.6. Takt-Daten-Trennung (Lesen) | 5 |
| 2.7. EA-Signal | 7 |
| 3. Steckerbelegung | 8 |
| III. Kurzzeichenübersicht | 9 |
| Serviceschaltpläne | |

I. Technische Daten

| | |
|--|--|
| Aufbau: | Steckereinheit 215 mm x 170 mm |
| Steckverbinder: | Steckerleiste 58polig indirekt 2x Steckerleiste 26polig indirekt 1x |
| Einsatzklasse: | + 5 °C ... + 40 °C |
| Stromversorgung: | 5 P = + 5 V \pm 5 % \leq 1,5 A |
| Signalpegel: | TTL-kompatibel |
| Betriebsart: | Dauerbetrieb |
| Ein-/Ausgangsleitungen BUS K 1520: | 8 Adreßleitungen ABO ... AB7 8 Datenleitungen DB0 ... DB7 7 Steuerleitungen - $\overline{M1}$, \overline{RD} , \overline{TEP} , \overline{TORQ} , \overline{RESET} , \overline{TAKT} , \overline{IODI} 1 Steuerleitung \overline{RDY} 1 Steuerleitung \overline{INT} 2 Steuerleitungen \overline{IEI} , \overline{IEO} für Prioritätenkette |
| Aus-/Eingabekanäle für Peripheriegeräte K 6501, K 6502: | 1 |
| Ausgabeleitungen Peripheriekana1: | 8 Steuerleitungen - $\overline{WE2}$, $\overline{WE13}$, $\overline{WD2}$, $\overline{WD13}$, \overline{EE} , \overline{SE} , \overline{MV} , \overline{MR} |
| Eingabeleitungen Peripheriekana1: | 5 Steuerleitungen - $\overline{S0}$, $\overline{S1}$, $\overline{S2}$, $\overline{RD2}$, $\overline{RD13}$ |
| Übertragungsentfernung: | 5 m |

II. Funktionsbeschreibung

1. Allgemeines

Zur Kopplung an das Linieninterface K 1520 dient für die Schreib-Lese-Einheit (SLE) K 6501 die Anschlußsteuerung ASL K 6001. Der Anschluß der automatischen Leseeinheit ALE K 6502 erfolgt über die Anschlußsteuerung AAL K 6002. In beiden Adaptern wird der Austausch der Schreib-Lesedaten sowie der erforderlichen Steuersignale zum Lesen bzw. Beschreiben der Magnetkarten zwischen ZRE und peripheren Gerät vorgenommen.

Die Anschlußsteuerung besteht aus folgenden Funktionskomplexen:

- Adreßdecoder
- Daten- und Steuerbustreiber
- RDY-Bildung und Richtungssteuerung der Bustreiber (DIEN)
- INT-Steuerung
- SIO für Datenaustausch und Schreibsteuerung
- Steuer-PIO
- CTC für Schreib- und Lesetakte
- Schreibsteuerung
- Takt-Daten-Trennung
- Peripherietreiber und -empfänger

Das Blockschaltbild (Abb. 1) zeigt das prinzipielle Zusammenspiel.

Die verwendete Geldkarte kann 3spurig beschrieben werden. Mit der eingesetzten Anschlußsteuerung können jeweils 2 Spuren parallel gelesen bzw. beschrieben werden. Bei Bedarf wird die 3. Spur mikroprogrammgesteuert mit einem dazu erforderlichen 2. Einzug gelesen oder geschrieben.

Das Zusammenspiel SLE - ZRE erfordert immer einen Adapter SLE (ASL).

Pro Adapter ist nur eine SLE anschließbar.

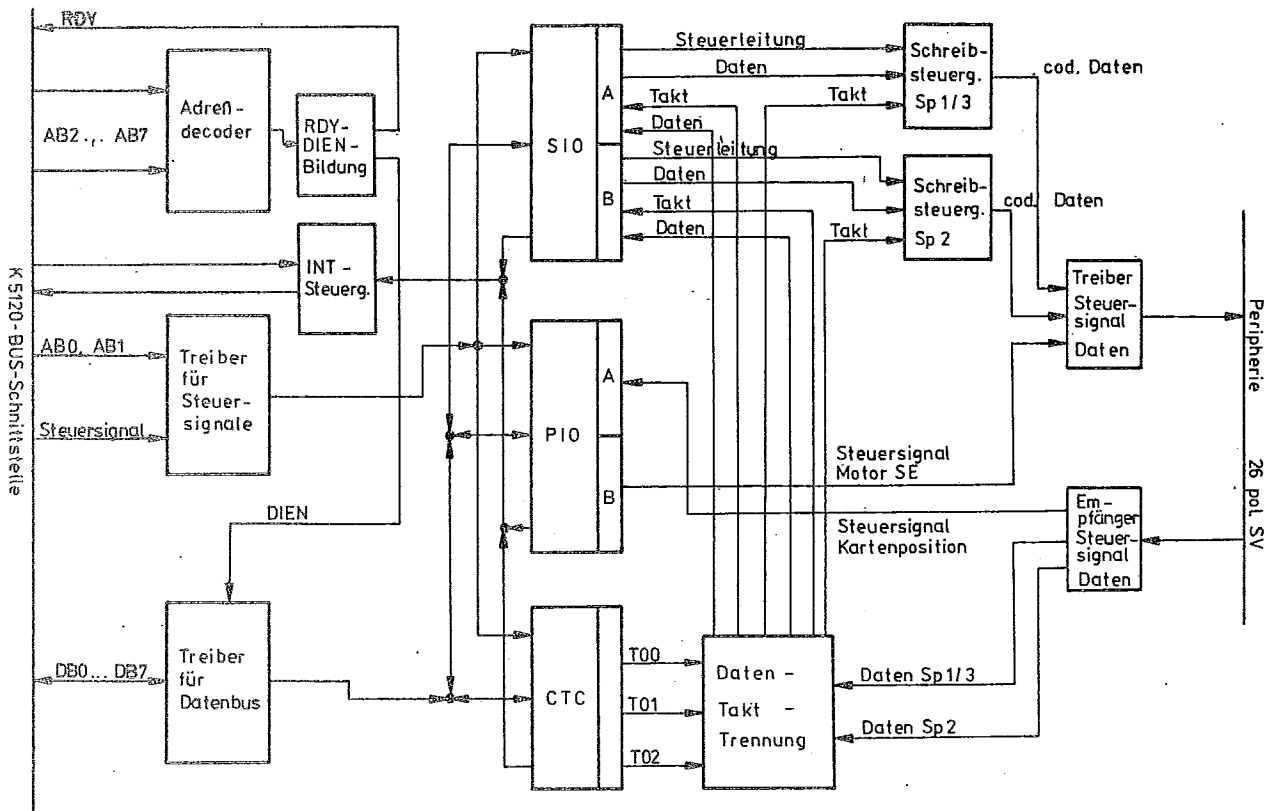


Abb. 1
Blockschaltbild

2. Beschreibung der Funktionskomplexe

2.1. Adreßdecodierung

Die Adreßdecodierung ist mit den Schaltkreisen A 21 und A 22 realisiert und durch Brückenbestückung frei programmierbar. Die Adreßleitungen AB2 ... AB7 bilden so decodiert die CS-Signale für die Bausteine SIO/A11, PIO/A10 und CTC/A12.

Zusätzlich kann die Anschlußsteuerung über $\overline{\text{IODI}}$ an A22/E3 auch bei gültiger Adresse abgeschaltet werden.

In Zusammenhang mit der ZRE K 2526 sind folgende Adreßbelegungen festgelegt:

| OUT/INP | A7 | A6 | A5 | A4 | A3 | A2 | A1 | A0 | SIO | PIO | CTC | TOR | C/D |
|---------|----|----|----|----|----|----|----|----|-----|-----|-----|-----|-----|
| 90 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | x | | | A | D |
| 91 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | x | | | A | C |
| 92 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | x | | | B | D |
| 93 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | x | | | B | C |
| 94 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | | x | | A | D |
| 95 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | | x | | A | C |
| 96 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | | x | | B | D |
| 97 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | | x | | B | C |
| 98 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | | | x | 0 | |
| 99 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | | | x | 1 | |
| 9A | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | | | x | 2 | |
| 9B | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | | | x | 3 | |

2.2. Daten- und Steuerbustreiber

Um die Lastbedingungen des K 1520-BUS einzuhalten sind die Steuerleitungen über einen Treiber A3 geführt. Die Datenbustreiber A1.1 und A1.2 arbeiten bidirektional. Sie steuern die Richtung des Datenaustausches über die K 1520-BUS-Schnittstelle zwischen CPU ↔ PIO, SIO und dem CTC.

2.3. RDY-Bildung und Richtungssteuerung der Bustreiber

Das Bereitschaftssignal RDY wird über die Baustufen A4.1/3, A8/8, A6.1/8, A6.1/12, A5/8 am NAND A5/6 aus folgender Signalverknüpfung gebildet:

$$\overline{\text{RDY}} = \overline{\text{M1} \cdot \text{IEI} \cdot \text{IEO} \cdot \text{IORQ}} \quad \text{oder} \quad \overline{\text{CE} \cdot \text{IORQ}}$$

Die Richtungsumschaltung der Bustreiber erfolgt mit dem Signal DIEN.

Es ergibt sich aus

$$\overline{\text{DIEN}} = \overline{\text{M1} \cdot \text{IEI} \cdot \text{IEO} \cdot \text{IORQ}} \quad \text{oder} \quad \overline{\text{RD} \cdot \text{CE} \cdot \text{IORQ}}$$

DIEN Datenfluß

0 DI → DB

1 DO ← DB

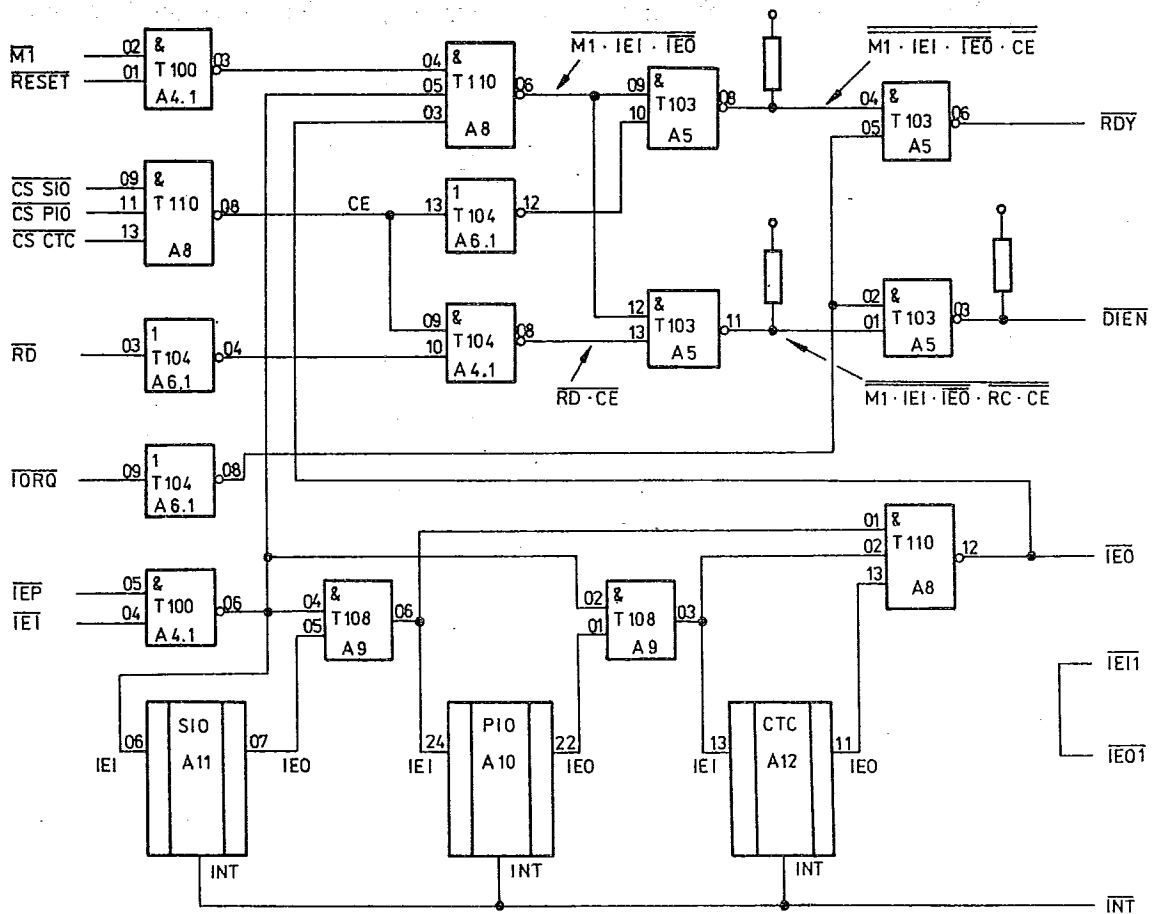


Abb. 2

2.4. INT-Steuerung

Die Priorität der einzelnen interruptfähigen Bausteine ist aus der Abbildung 2 ersichtlich, wobei der SIO A11 die höchste Priorität hat.

Um bei Nichtansteuerung des PIO, SIO oder CTC ein schnelles Durchschalten der 0-1-Flanke von \overline{IEI} nach \overline{IEO} zu gewährleisten, sind die Bausteine mit einer Umgehungslogik beschaltet (A9/03, 06; A8/12; A4.1/06).

2.5. Schreibsteuerung

Für die Ein- und Ausgabe der Daten ist der serielle Ein-/Ausgabebaustein SIO A11 in der monosynchronen Betriebsart zuständig. Der Kanal A ist der Spur 1 und 3 auf der Magnetkarte zugeordnet. Diese Spuren besitzen die gleiche Bitdichte und können mit der gleichen Taktfrequenz betrieben werden. Dazu wird der aus dem CTC A12 kommende Takt ZC/T01 über die Baustufen A7.3, an den Takteingang TxCA des SIO A11 gelegt.

Am Ausgang TxDA werden die Schreibdaten WD13 entsprechend der Taktierung gesendet und über die Baustufen A6.3/12, A4.3/08, A9/08, A1.3 an die Steckerleiste X3B5 gelegt.

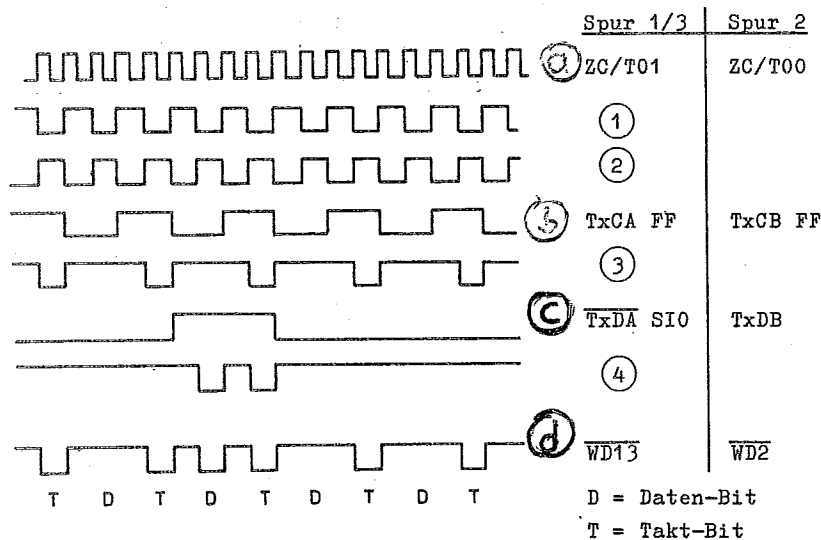
Der Kanal B ist der Spur 2 zugeordnet, wobei der Schreibtakt aus dem CTC ZC/T00 bereitgestellt wird. Die Taktierung des SIO erfolgt über dem Eingang TxCB.

Am Datenausgang TxDB liegen die Schreibdaten WD2 an. Sie werden über die Baustufen A6.3/02, A4.3/06, A9/11, A1.3/06 an die Steckerleiste X3B4 gesendet.

Am SIO - Ausgang RTSA/RTSB - werden die Signale WE13 und WE2 (Schreiberlaubnis) gebildet. Mit ihnen erfolgt die Freigabe der Schreib-FF's A7.2 und A7.3. Die Bildung der Spurauswahl SE (Spur 1 oder 3) erfolgt im PIO A10 und liegt über Ausgang 29; Treiberstufe A1.4 an der Steckerleiste X3B8 als "0" oder "1" an. Die Spurauswahl 1/3 wird in der Hardware der SLE vorgenommen.

Mit Hilfe der Schreibsteuerung A6.3/08/06, A7.3/A7.2, A4.3/08, A4.3/11, A4.3/06/03, A9/11/08 werden die seriell aus dem SIO gesendeten Daten als Wechseltaktschrift nach DIN 66010 entsprechend Abb. 3 und Abb. 4 im Tastverhältnis 1:1 codiert.

Die Arbeitsweise der Schreibsteuerung ist im nachfolgenden Impulsdiagramm der Spur 1/3 und 2 dargestellt.



TxCA = Taktflankeneingang für SIO

Abb. 3

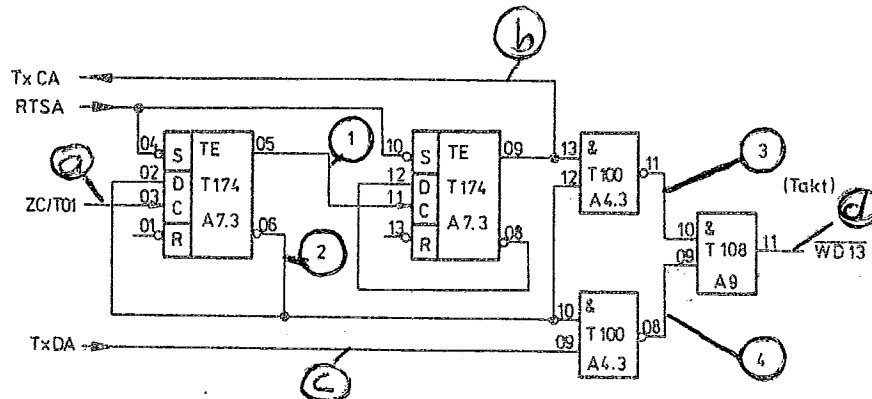


Abb. 4

Schreibsteuerung

Um die auf den Anfang der Karte zu schreibenden "0"-Bits im Grundzustand des Sendeausganges, IxD ($\hat{=}$ log. "1") ausgeben zu können, werden die Daten negiert gesendet. Am A6/06 steht dann das nichtnegierte Signal zur Verfügung.

Der CTC ist für das Schreiben als TIMER programmiert und es ergibt sich für die Spur 1/3 an TxCA nach den Frequenzteilern A7.3/02, A7.3/08 ein Sendetakt von ca. 2648 Hz (Systemtaktteilung $1/16$ und Zeitkonstante 58 an CTC ZC/T01). *8³ 757/10 14.11.19*

Für Spur 2 ergibt sich an TxCB nach Teilung mit A7.2/08 eine Frequenz von 960 Hz (Systemtaktbildung $1/256$ und Zeitkonstante 10 an ZC/T00). Mit diesen Schreibfrequenzen erhält man auf der Geldkarte bei einer Kartengeschwindigkeit von 80 mm/s eine Bitdichte von

- 8,3 \pm 5 % Bits/mm für Spur 1/3 und
- 3,0 \pm 3 % Bits/mm für Spur 2 entsprechend DIN 9785/2.

Wenn keine Daten gesendet werden, bleibt TxD auf H.

Mit Aktivierung der Schreibfreigabe $\overline{WE} = 0$ können Takt-Daten-Bits aufgezeichnet werden.

Wenn keine Daten gesendet werden, erfolgt nur das Senden der Taktbits!

Mit der Bildung des Reflexkoplersignals S0 (SLE - RK1) erfolgt am PIO die Statusmeldung KARTE EINGEBLEGT. Entsprechend der Codierung im Programmablauf wird daraufhin im PIO die Bildung des Motorlaufsignals (MV/MR) ausgelöst. Die Magnetkarte wird bis in den Bereich von RK2 transportiert. Mit Erreichen von RK2 wird über das Statussignal S1 der Motorlauf weiter übernommen und zugleich die Freigabe der Taktbits ausgelöst. Die Magnetkarte wird mit Taktbits beschrieben bis RK3 erreicht ist. In diesem Zeitraum werden 7,44 mm Magnetband der Karte vom Kartenrand aus beschrieben. Sie dienen beim Lesen zur Synchronisation der Takt-Daten-Trennung. Mit Erreichen des RK3 wird das Statussignal S2 gebildet. Es löst im PIO den Aufzeichnungsbeginn der Daten aus. Das 1. Datenbyte ist immer das Startzeichen!

2.6. Takt-Daten-Trennung (Lesen)

Das von der SLE gelesene Takt-Datengemisch wird mit Hilfe der Schaltung nach Abb. 5 für den Empfangskanal des SIO aufbereitet.

Der SIO synchronisiert sich in der monosynchronen Betriebsart auf das Startzeichen entsprechende Code für Spur 1, 2 und 3. Da die Synchronisation auf ein 8-Bit-Zeichen erfolgt, werden für den 6-Bit-Code ein Paritätsbit und eine Null und für den 4-Bit-Code ein Paritätsbit und drei Nullen vom Kartenanfang für die Synchronisation mitbenutzt.

Pro Lesezyklus (1 Zeichen) werden vom SIO über die Leseleitungen (RD1/3, 2) 7 bzw. 5 Bits als Zeichen übernommen und als 8-Bit-Zeichen über die Datenbusleitungen an die ZRE gegeben. Das gelesene Takt-Datengemisch RD (Abb. 5) hat eine geringe Frequenztoleranz und kann deshalb mit einer festen Zeit, die durch die Takt-Bits ausgelöst wird, abgetastet werden. Die Trennung der Takt- und Daten-Bits wird mit der Schaltung nach Abb. 5 in Verbindung mit dem CTC-Schaltkreis A12 durchgeführt. Die Daten gelangen über A7.4 zum Empfangsregister RxD des SIO und werden mit der positiven Flanke an RxC übernommen.

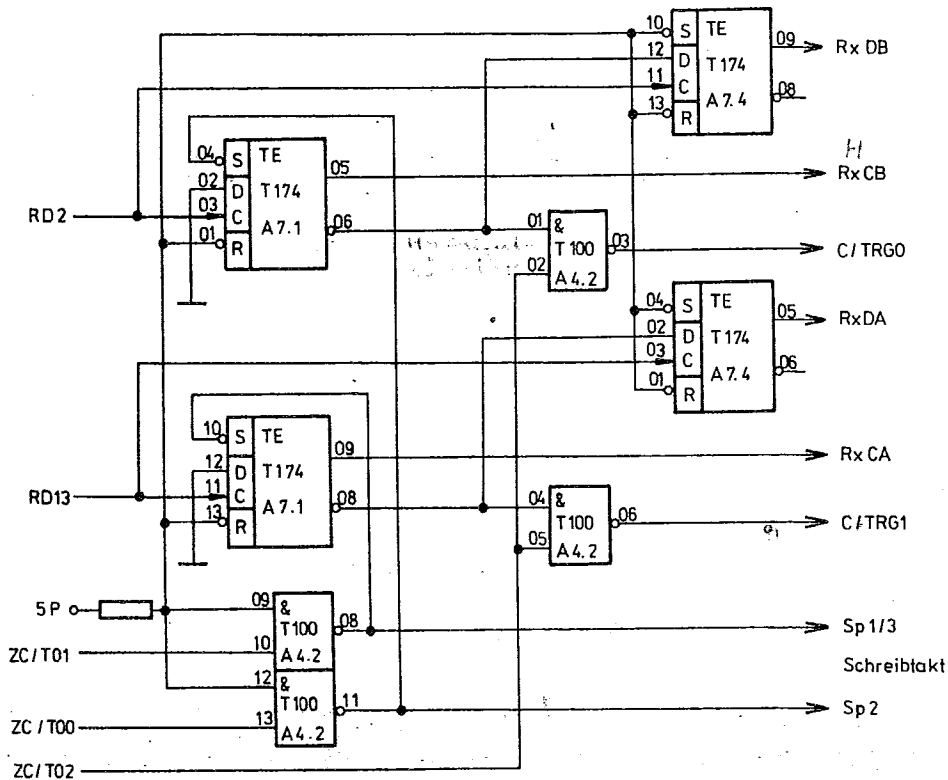


Abb. 5
Schaltung für Takt-Daten-Trennung

Beispiel: Spur 2

Der CTC in Betriebsart TIMER mit $1/32$ Systemtaktteilung ist freigegeben. Im C/TRGO ist eine Zeitkonstante im 4-Bit-Code eingestellt.

Mit der 1-0-Schaltflanke des ZC/TC00-Taktes auf den "S"-Eingang des FF's A7.1/06 wird dieses angekippt. Das am Ausgang FF A7.1/05 (RxCB) entstehende Signal mit "1" wird zur Auswertung des Taktbits an den Eingang 27 des SIO geführt.

Mit dem darauffolgenden Lesetaktbit (RD) schaltet das FF A7.1/06 wieder in die Grundstellung zurück. Der am A4.2/03 anliegende Zeittakt CTC ZC/T02 gibt einen Zählimpuls auf C/TRGO. Die eingestellte Zeitkonstante wird um eins nach unten gezählt.

Dieser Ablauf wiederholt sich bis das 5. Taktbit (4 Daten- und 1 Paritätsbit) erreicht ist. Nach dem 5. Lesetaktbit hat der Zeitkonstantenzähler C/TRGO den Nulldurchgang erreicht. Der Lesevorgang des zu übertragenden Bytes ist beendet. Es erfolgt der Datenübertrag des gelesenen Bytes vom SIO zur ZRE. Ebenfalls wird die Zeitkonstante für das nachfolgende Lesebyte im C/TRGO wieder auf 4 geladen und der Ausgang des FF's A7.1/05 auf "1" gesetzt. Wenn im Lesevorgang (RD) des Datenbytes keine Datenbits mit "1" erkannt werden, wird im SIO zwischen jedem Taktbit ein Datenbit mit "0" erkannt.

Befindet sich im gelesenen Datenbyte nach dem Taktbit ein Datenbit mit "1", wird dieses während der Zeitphase, wenn das FF A7.1/06 auf "1" steht, an den Eingang RxDB (SIO) gesendet und als "1" übernommen. Mit 0-1-Datenbitschaltflanke von RD2, A6.2/08 kippt FF 7.4 an - Ausgang 09 wird "1" (RxDB). Der nachfolgende Zeittakt ZC/T00 schaltet das FF A7.1/06 auf "0" und schaltet am A7.4 Eingang 12 auf "0". Mit dem nächsten Taktbit werden dann die beiden FF's A7.1/06 und A7.4/09 in ihre Ausgangsstellung zurückgeschaltet.

In der Datenbitphase zwischen den Taktbits kann eine positive Datenbitschaltflanke nicht als Taktbit erkannt werden!

Die positive Datenbitschaltflanke ist somit am FF A7.1/06/05 wirkungslos, da dessen Steuerungseingang D fest auf "0" liegt und nur über den Zeittakt am Eingang "S" angekippelt werden kann. Ein vorzeitiges Erscheinen des Zeittaktes ist auf Grund der synchronen Steuerung Lesetakte + Zeittakte nicht möglich!

Die positive Flanke an A7.1/05 bildet den Empfangstakt RxCB (Abb. 5) und sperrt das NAND A4.2/03 bis zur nächsten positiven Taktbitschaltflanke. Das gleiche Prinzip ist für die Spuren 1/3 realisiert (Abb. 5).

Der CTC arbeitet beim Lesen an ZC/T00 und T01 in der Betriebsart 'Zähler'.

ZC/T00 mit Zeitkonstante 240 = 3125,8 μ s 319,91 Hz
 ZC/T01 mit Zeitkonstante 87 = 1135,1 μ s 880,979 Hz

2.7. EA-Signal

Wenn eine Karte nach einer festgelegten Zeit nach Beendigung eines Lese-Schreibvorganges nicht aus der SLE entnommen wird, dann wird über den Steuer-PIO A10 das Signal EA (Entnahmeaufforderung) gebildet.

Dieses Signal ist als negativer Impuls mit einer Länge von ca. 7 μ s über den Koppelbus X2/A8 für einen Anwender nutzbar.

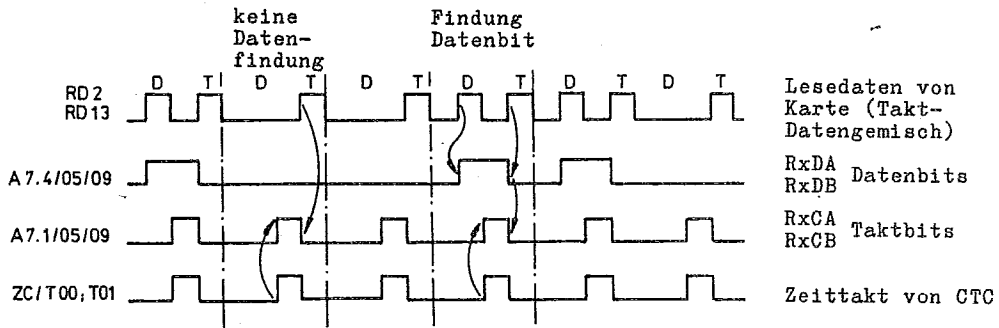


Abb. 6

Impulsdiagramm "Lesen"

2,4576 Mc

3. Steckerbelegung

ASL-X1

| n | An | Cn |
|----|--------------------|-------------------|
| 1 | 00 | 00 |
| 2 | 00 | 00 |
| 3 | | |
| 4 | DB7 | DB6 |
| 5 | DB5 | DB4 |
| 6 | DB3 | DB2 |
| 7 | DB1 | DB0 |
| 8 | | \overline{RD} |
| 9 | | |
| 10 | $\overline{IE0}$ | $\overline{IE1}$ |
| 11 | | |
| 12 | | |
| 13 | | |
| 14 | | |
| 15 | | |
| 16 | AB6 | AB7 |
| 17 | AB4 | AB5 |
| 18 | AB2 | AB3 |
| 19 | AB0 | AB1 |
| 20 | \overline{RESET} | |
| 21 | TAKT | |
| 22 | \overline{IODI} | |
| 23 | | \overline{INT} |
| 24 | | \overline{IORQ} |
| 25 | | \overline{RDY} |
| 26 | $\overline{M1}$ | |
| 27 | $\overline{BA0}$ | $\overline{BA1}$ |
| 28 | 12 P | 12 P |
| 29 | 5 P | 5 P |

ASL-X2

| n | An | Cn |
|----|-------------------|-------------------|
| 1 | 5 P | 5 P |
| 2 | | |
| 3 | | |
| 4 | | |
| 5 | | |
| 6 | | |
| 7 | | \overline{IEP} |
| 8 | EA | |
| 9 | | P |
| 10 | | |
| 11 | | |
| 12 | | P |
| 13 | | |
| 14 | | P |
| 15 | | |
| 16 | | |
| 17 | | |
| 18 | | P |
| 19 | | P |
| 20 | | |
| 21 | | |
| 22 | | |
| 23 | | |
| 24 | | |
| 25 | | |
| 26 | $\overline{IE01}$ | $\overline{IE11}$ |
| 27 | 12 N | 12 N |
| 28 | 00 | 00 |
| 29 | 00 | 00 |

ASL-X3

| n | An | Bn |
|----|-------------------|-------------------|
| 1 | 00 | 00 |
| 2 | 12 P | 12 N |
| 3 | 00 | 00 |
| 4 | $\overline{RD2}$ | $\overline{WD2}$ |
| 5 | $\overline{WE2}$ | $\overline{WD13}$ |
| 6 | $\overline{WE13}$ | $\overline{RD13}$ |
| 7 | \overline{MV} | \overline{EE} |
| 8 | \overline{MR} | \overline{SE} |
| 9 | \overline{SO} | \overline{ST} |
| 10 | $\overline{S2}$ | |
| 11 | 5 P | 5 P |
| 12 | 12 P | 5 P |
| 13 | 00 (Schirm) | 00 |

III. Kurzzeichenübersicht

| | |
|-------------|--|
| ASL | - Anschlußsteuerung Schreib-Lese-Einheit |
| AAL | - Anschlußsteuerung Automatische Leseeinheit |
| ABO ... AB7 | - Adreßbus |
| C | - Takt Betriebssystem |
| CE | - Enable input SIO, PIO, CTC (Freigabe) |
| DBO ... DB7 | - Datenbus |
| DIEN | - Daten input enable (EN - Eingabe Freigabe) |
| EE | - Eingabeerlaubnis |
| IEI | - Interrupt enable input (Freigabe Eingang) |
| IEO | - Interrupt enable output (Freigabe Ausgang) |
| IEP | - Interrupt enable parallel (Freigabe Parallel) |
| INT | - Interrupt request (Unterbrechung) |
| IOID | - Input/output disable (E/A Gerätesperrung) |
| M1 | - Maschinenzklus |
| MV | - Kartenlaufsignal vorwärts (motor forward) |
| MR | - Kartenlaufsignal rückwärts (motor return) |
| RESET | - Rücksetzen |
| RD2 | - Read data Spur 2 (Daten lesen) |
| RD13 | - Read data Spur 1 oder 3 (Datenlesen) |
| RD | - Read (Lesen) |
| RDY | - Ready (Bereitschaft) |
| RTSA/RTSB | - Sende Anforderung SIO Kanal A/B |
| RxDA | - Read data input SIO Spur 1 oder 3 (Lesedateneingang) |
| RxDB | - Read data input SIO Spur 2 |
| RxCA | - Read clock input SIO Spur 1 oder 3 (Lesetakteingang) |
| RxCB | - Read clock input SIO Spur 2 |
| SO ... S2 | - Sensor 0 ... 2 (Status) |
| SE13 | - Select (Spurauswahl 1/3) |
| SYN | - Synchronisation |
| WD13 | - Write data Spur 1 oder 3 (Schreibdaten) |
| WD2 | - Write data Spur 2 |
| WE13 | - Write enable Spur 1 oder 3 (Schreibfreigabe) |
| WE2 | - Write enable Spur 2 |
| C/TRG0 | - CTC Lesebitzähler Spur 2 |
| C/TRG1 | - CTC Lesebitzähler Spur 1 und 3 |
| C/TRG2 | - CTC Zeitgebertaktzähler ZC/T02 |
| ZC/T00 | - CTC Systemtakt Spur 2 |
| ZC/T01 | - CTC Systemtakt Spur 1 und 3 |
| ZC/T02 | - CTC Zeitgebertakt |